



Atty. Dkt. No. 029437-0102

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Naoto AKIYAMA
Title: SEMICONDUCTOR DEVICE AND MANUFACTURING
METHOD THEREOF
Appl. No.: 10/606,836
Filing Date: 06/27/2003
Examiner: Unassigned
Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPAN Patent Application No. 2002-193018 filed 07/02/2002.

Respectfully submitted,

Date July 24, 2003


FOLEY & LARDNER
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By 
for David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 2日

出 願 番 号

Application Number:

特願2002-193018

[ST.10/C]:

[JP2002-193018]

出 願 人

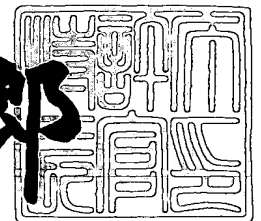
Applicant(s):

NECエレクトロニクス株式会社

2003年 6月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047954

【書類名】 特許願

【整理番号】 71110536

【提出日】 平成14年 7月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8238

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 秋山 直人

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100086645

 【弁理士】

 【氏名又は名称】 岩佐 義幸

 【電話番号】 03-3861-9711

【手数料の表示】

 【予納台帳番号】 000435

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0102856

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

ゲート絶縁膜の膜厚が独立設定されて同一基板上に形成された、同一電源電圧で動作する複数のトランジスタの中の、最も薄いゲート絶縁膜を有するトランジスタを電源保護素子として使用したことを特徴とする半導体装置。

【請求項 2】

前記電源保護素子として使用するトランジスタの閾電圧 (V_t) は、最も薄いゲート絶縁膜を有するトランジスタの閾電圧よりも高く設定されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記複数のトランジスタは、2 種類以上の膜厚の異なるゲート酸化膜を形成するマルチオキサイドプロセスにより形成された、膜厚が異なる 3 種類のゲート絶縁膜を有する 3 種類のトランジスタであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記複数のトランジスタは、I/O 部に囲まれた内部回路に形成されていることを特徴とする請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】

前記電源保護素子として使用するトランジスタは、前記内部回路として作り込まれた、高速処理回路と低消費電力回路が混載されたトランジスタ群の内の一方に形成されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

ゲート絶縁膜の膜厚が独立設定された複数のトランジスタ群が混載された内部回路を有する半導体装置の製造方法において、

前記内部回路を形成する、同一電源電圧で動作し膜厚が異なった二種類以上のゲート絶縁膜を有する複数のトランジスタの内のいずれかのトランジスタを用いて、電源保護素子を形成するための新たな工程を追加することなく電源保護素子

を形成することを特徴とする半導体装置の製造方法。

【請求項 7】

前記電源保護素子は、前記複数のトランジスタの中の、最も薄いゲート絶縁膜を有するトランジスタを用いて形成することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記電源保護素子のチャネルドーズ量は、前記内部回路を形成する他のトランジスタのチャネルドーズ量の合計となるように形成されることを特徴とする請求項 6 または 7 に記載の半導体装置の製造方法。

【請求項 9】

基板上に、前記電源保護素子として用いられるトランジスタ以外のトランジスタの閾値を調整するために、1 回或いは複数回の不純物イオン注入を行った後に、この不純物イオン注入に重ねて、前記電源保護素子として用いられるトランジスタの形成領域に、前記電源保護素子として用いられるトランジスタの閾値を調整するための不純物イオン注入を行うことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、特に、高速・低消費電力の LSI (large scale integrated circuit) に好適な電源保護回路 (素子) を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来、MOS (metal oxide semiconductor) デバイスを用いた LSI が知られている。この LSI は、CPU (central processing unit) やメモリ等の回路からなる内部回路と、内部回路の周囲に配置された外部インターフェイスの I/O (input/output)

ut) 部とを有している。

【0003】

図18は、従来のLSI内部回路の一部を示し、(a)は保護回路がLT_rに形成された場合の回路説明図、(b)は保護回路がMT_rに形成された場合の回路説明図である。

【0004】

図18に示すように、LSIの内部回路1は、2種類のトランジスタ(Tr)群からなるLT_r2とMT_r3が混載された混載回路を形成している。LT_r2とMT_r3が混載されるのは、処理速度の高速化と消費電力の低減化の要求を同時に満たすためである。

【0005】

内部回路1のLT_r2とMT_r3は、動作電圧は同じであるが閾電圧V_tはLT_r2が高くMT_r3は低く設定され、LT_r2は処理速度が遅いが消費電力は小さく、MT_r3は処理速度が速いが消費電力は大きい。閾電圧V_tが個別に設定されるLT_r2とMT_r3を構成するトランジスタのゲート酸化膜は、膜厚が異なっており、例えば、LT_r2のトランジスタは約2.6nm、MT_r3のトランジスタは約1.9nmである。

【0006】

このようなMOSデバイスを用いたLSIには、必ず電源保護回路(素子)が組み込まれている。これは、MOSデバイスのゲート酸化膜が、過電流に弱く、過電流が流れた場合容易に壊れてしまうことに対処するためである。つまり、製造工程にマルチオキサイドプロセスが用いられるようになった以降の高速・低消費電力LSIにおいては、ゲート酸化膜の薄膜化が進むに連れてゲート酸化膜の耐圧が従来(約10V、約8.0nm)に比べて低く(約5~7V、約3.0nm)なったからである。

【0007】

【発明が解決しようとする課題】

LSIの内部回路1に組み込まれる電源保護回路4は、例えば、ダイオード接続構造のNチャネルトランジスタで形成することができる。

【 0 0 0 8 】

しかしながら、ゲート酸化膜厚が約 2.6 nm の L T r 2 に形成された電源保護素子を用いた場合、以下の問題が生じることを、本願発明者は解明した。即ち、電源保護素子が動作する前に内部回路 1 の M T r 3 が破壊してしまう（（a）参照）。これは、電源保護素子が形成された L T r 2 の耐圧よりも、L T r 2 に比べゲート酸化膜厚が薄い（約 1.9 nm）M T r 3 の耐圧の方が低いためである。このため、保護素子として機能しない。

【 0 0 0 9 】

上記問題を解決するため、ゲート酸化膜厚が約 1.9 nm の M T r 3 に形成された電源保護素子を用いた場合には、保護素子としては一応機能するが、新たに以下の問題が生じる。即ち、内部回路 1 と同一のトランジスタ素子を使用しているためにリーク（オフ）電流が多くなるのが避けられない（（b）参照）。これは、電源保護素子が形成された M T r 3 の閾電圧 V_t が低く、サブスレッショルドリーク電流が定常的に流れるためである。

【 0 0 1 0 】

このため、携帯機器等に用いられる低消費電力型の L S I には適さない。特に、比例縮小（スケーリング）則に則って形成したデバイスは、リーク電流が多いので消費電力も多くなってしまう。

【 0 0 1 1 】

このように、リーク電流と耐圧の関係が以前に比べ厳しくなった現在において、リーク電流が多くなることは影響が大きく、リーク電流と耐圧を同時に満足させることが困難になった。

【 0 0 1 2 】

【課題を解決するための手段】

この発明に係る半導体装置は、ゲート絶縁膜の膜厚が独立設定されて同一基板上に形成された、同一電源電圧で動作する複数のトランジスタの中の、最も薄いゲート絶縁膜を有するトランジスタを電源保護素子として使用したことを特徴としている。

【 0 0 1 3 】

さらに、この電源保護素子のトランジスタの閾値は、最も薄いゲート絶縁膜のトランジスタの閾値より高く設定される。これにより、リーク電流が少なく、リーク電流と耐圧を同時に満足させることができる。

【 0 0 1 4 】

また、この発明に係る半導体装置の製造方法により、上記半導体装置を実現することができる。

【 0 0 1 5 】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【 0 0 1 6 】

図 1 は、この発明の一実施の形態に係る半導体装置の内部構成を概略的に示す平面図である。図 2 は、図 1 の内部回路の一部を示す回路説明図である。

【 0 0 1 7 】

図 1 及び図 2 に示すように、MOS デバイスを用いた L S I （半導体装置） 1 0 は、内部回路 1 1 と、内部回路 1 1 の周囲に配置された外部インターフェイスの I / O 部 1 2 とを有している（図 1 参照）。

【 0 0 1 8 】

内部回路 1 1 は、内部回路 1 1 として作り込まれた、異なった種類のトランジスタ（Tr）群からなる M c o r e 1 3、L c o r e 1 4、M p c o r e 1 5、及び SRAM（s t a t i c r a n d o m a c c e s s m e m o r y） 1 6 を有している（図 1 参照）。

【 0 0 1 9 】

この内部回路 1 1 は、処理速度の高速化と消費電力の低減化の要求を同時に満たすために、高速処理回路の M c o r e 1 3 と低消費電力回路の L c o r e 1 4 を混載して形成されている。また、M p c o r e 1 5 は、例えばダイオード接続構造の N チャネルトランジスタからなり（図 2 参照）、M c o r e 1 3 の高閾値化（H V t - M）により電源保護回路（素子）として機能する。

【 0 0 2 0 】

図 3 は、図 1 の内部回路、電源保護回路及び I / O 部の各機能による比較を表

で示す説明図である。図3に示すように、Mcore13とLcore14を比較すると、閾値 (V_t) は、Mcore13が低く (例えば約0.35V) Lcore14は高く (約0.47V) 個別に設定されており、ゲート酸化膜の膜厚 (T_{ox}) は、Mcore13が約1.9nmでLcore14は約2.6nmと、Mcore13の方が薄い。

【0021】

この例では、ゲート絶縁膜を、 SiO_2 により形成しているが、例えば、 $SiON$, Si_3N_4 , TiO_2 (チタンオキシド), Al_2O_3 (アルミニウムオキシド), ZrO_2 (ジルコニウムオキシド), HfO_2 (ハフニウムオキシド) 等の絶縁膜により形成しても良い。

【0022】

動作電圧は、Mcore13とLcore14が共に1.2Vで同じであるが、リーク (オフ) 電流は、Mcore13は大きくLcore14は小さい。処理スピードは、Mcore13は速いがLcore14は遅く、消費電力は、Mcore13は大きいLcore14は小さく、ゲート酸化膜の耐圧は、Mcore13は低く (約5V) Lcore14は高く (約7V) になっている。

【0023】

また、電源保護回路であるMpcore15についてMcore13と比較すると、閾電圧 V_t は、Mpcore15の方がMcore13より高く設定されており、ゲート酸化膜の膜厚は、Mcore13と同じ約1.9nmである。動作電圧は、Mcore13及びLcore14と共に約1.2Vと同じであるが、リーク (オフ) 電流は、Mcore13より小さく、ゲート酸化膜の耐圧は、Mcore13と同じ (約5V) になっている。

【0024】

また、I/O部 (外部インターフェイス) 12については、ゲート酸化膜の膜厚は約7.2nm、動作電圧は約3.3V、ゲート酸化膜の耐圧は高く (約10V) になっている。

【0025】

図4～図17は、図1の半導体装置の製造方法を説明する工程断面図 (その1

）～（その12）である。ここでは、MOSデバイスを用いたLSI10のNチャネルトランジスタ形成工程についてのみ図示している。

【0026】

図4～図17に示すように、まず、基板10aに素子分離領域17を形成する（図4（a）参照）。リソグラフィー工程により、基板10a上にフィールドフォトリジストを形成した後、深さ約300nmのシャロートレンチを形成し、このシャロートレンチに、膜厚約500nmの高密度プラズマ（high density plasma：HDP）酸化膜を埋め込み、CMP（chemical mechanical polishing）技術を用いて素子分離領域17を形成する。

【0027】

次に、Nチャネルトランジスタ（ウェル、チャネル）を形成する。

【0028】

基板10aに、I/Oイオン注入用のフォトリジスト（PR）18を形成し、フォトリジスト18が開口する、I/O-Nチャネルトランジスタ形成領域に、ウェル形成用の不純物として、ボロン（B）のイオン注入を、80keV、 $5.0 \times 10^{12} \text{ cm}^{-2}$ 、 0° の条件で行い、閾値調整のためのボロンのイオン注入を、20keV、 $2.7 \times 10^{12} \text{ cm}^{-2}$ 、 0° の条件で行う（図4（b）参照）。

【0029】

I/Oイオン注入後、Mcoreイオン注入用のフォトリジスト19を形成し、フォトリジスト19が開口する、McoreとSRAMの各Nチャネルトランジスタ形成領域に、ウェル形成のための不純物として、ボロンのイオン注入を、150keV、 $2.0 \times 10^{13} \text{ cm}^{-2}$ 、 0° の条件で行い、閾値調整のためのボロンのイオン注入を、15keV、 $9.4 \times 10^{12} \text{ cm}^{-2}$ 、 7° の条件で行う（図5（c）参照）。

【0030】

Mcoreイオン注入後、Lcoreイオン注入用のフォトリジスト20を形成し、フォトリジスト20が開口する、Mpcore（電源保護Nチャネルトランジスタ）とLcoreのNチャネルトランジスタ形成領域に、ウェル形成のた

めの不純物として、ボロンのイオン注入を、 150 keV 、 $2.0 \times 10^{13}\text{ cm}^{-2}$ 、 0° の条件で行い、閾値調整のためのボロンのイオン注入を、 15 keV 、 $1.2 \times 10^{13}\text{ cm}^{-2}$ 、 7° の条件で行う（図5（d）参照）。

【0031】

Lcoreイオン注入後、SRAMイオン注入用のフォトレジスト21を形成し、フォトレジスト21が開口する、Mpcore（電源保護Nチャネルトランジスタ）とSRAMのNチャネルトランジスタ形成領域に、閾値調整のための不純物として、ボロンの追加イオン注入を、 15 keV 、 $4.1 \times 10^{12}\text{ cm}^{-2}$ 、 0° の条件で行う（図6（e）参照）。ここで、SRAM16の閾値を独立して制御する（Mpcoreの閾値は従属）。

【0032】

次に、Pチャネルトランジスタ（ウェル、チャネル）を形成する。このPチャネルトランジスタの形成工程は、上述したNチャネルトランジスタの形成工程と同様であり、図示を省略するが、以下の工程により行われる。

【0033】

Pチャネルトランジスタの形成に際し、I/Oイオン注入用のフォトレジストを形成し、フォトレジストが開口する、I/O-Pチャネルトランジスタ形成領域に、ウェル形成のための不純物として、リン（P）のイオン注入を、 400 keV 、 $1.5 \times 10^{13}\text{ cm}^{-2}$ 、 0° の条件で行い、閾値調整のためのヒ素（As）のイオン注入を、 100 keV 、 $2.9 \times 10^{12}\text{ cm}^{-2}$ 、 0° の条件で行う。

【0034】

I/Oイオン注入後、Mcoreイオン注入用のフォトレジストを形成し、フォトレジストが開口する、McoreのPチャネルトランジスタ形成領域に、ウェル形成のための不純物として、リンのイオン注入を、 400 keV 、 $1.5 \times 10^{13}\text{ cm}^{-2}$ 、 0° の条件で行い、閾値調整のためのヒ素のイオン注入を、 100 keV 、 $8.3 \times 10^{12}\text{ cm}^{-2}$ 、 0° の条件で行う。

【0035】

Mcoreイオン注入後、SRAMイオン注入用のフォトレジストを形成し、フォトレジストが開口する、SRAMのPチャネルトランジスタ形成領域に、ウ

エル形成のための不純物として、リンのイオン注入を、 350 keV 、 $2.0 \times 10^{13}\text{ cm}^{-2}$ の条件で行い、閾値調整のためのヒ素のイオン注入を、 100 keV 、 $1.40 \times 10^{13}\text{ cm}^{-2}$ 、 0° の条件で行う。

【0036】

Pチャネルトランジスタ及びNチャネルトランジスタのウェル、チャネル形成後、窒素雰囲気中で約 1000°C 、 10 sec のランプアニールを行う（図7（f）参照）。

【0037】

各Nチャネルトランジスタのチャネル領域のトータルのイオン注入量は、Mcore形成領域が $9.4 \times 10^{12}\text{ cm}^{-2}$ 、SRAM形成領域（Mcore+SRAM）が $1.35 \times 10^{13}\text{ cm}^{-2}$ 、Mpcore形成領域（Lcore+SRAM）が $1.61 \times 10^{13}\text{ cm}^{-2}$ 、Lcore形成領域が $1.2 \times 10^{13}\text{ cm}^{-2}$ となり、Mpcore形成領域の方が、Mcore形成領域やSRAM形成領域よりもイオン注入量が多くなる。

【0038】

次に、基板10a上に、膜厚が異なった3種類の膜厚からなるゲート酸化膜を形成する。

【0039】

先ず、ウェハ全面の熱酸化を行い、膜厚が約 7.5 nm の第1の内部酸化膜22を形成する（図7（g）参照）。その後、内部酸化膜エッチング用のフォトリジスト23を全面に形成した後、Lcore形成領域のみ開口する（図8（h）参照）。

【0040】

フォトリジスト23を形成した後、内部酸化膜22のウェットエッチングを行い、Lcore形成領域の内部酸化膜22を除去する（図8（i）参照）。Lcore形成領域から内部酸化膜22を除去した後、フォトリジスト23を除去する（図9（j）参照）。

【0041】

フォトリジスト23を除去した後、ウェハ全面の熱酸化を行い、Lcore形

成領域の膜厚が約2.6nmとなる第2の内部酸化膜24を形成する(図9(k)参照)。その後、内部酸化膜エッチング用のフォトレジスト25を全面に形成した後、Mcore形成領域、SRAM形成領域及びMpcore形成領域の3つの領域のみ開口する(図10(1)参照)。

【0042】

フォトレジスト25を形成した後、内部酸化膜22のウェットエッチングを行い、I/O形成領域とLcore形成領域以外、即ち、Mcore形成領域、SRAM形成領域及びMpcore形成領域の内部酸化膜22を除去する(図10(m)参照)。その後、フォトレジスト25を除去する(図11(n)参照)。

【0043】

フォトレジスト25を除去した後、ウェハ全面の熱酸化を行い、Mcore、SRAM、Mpcore部分の膜厚が約1.9nmの第3の内部酸化膜26を形成する(図11(o)参照)。

【0044】

次に、ゲート電極を形成する。ゲートポリシリコン27を厚さ約150nmに成長させると共に、ゲートポリシリコンエッチングのためのフォトレジスト28を形成する(図12(a)参照)。フォトレジスト28を形成した後、ゲートポリシリコン27のプラズマエッチングを行い、その後、フォトレジスト28を除去する(図12(b)参照)。

【0045】

この結果、Mcore形成領域とSRAM形成領域とMpcore形成領域には、ゲート長約0.1 μ mのゲート電極29aが、Lcore形成領域には、ゲート長約0.12 μ mのゲート電極29bが、I/O形成領域には、ゲート長約0.44 μ mのゲート電極29cが、それぞれ形成される。

【0046】

次に、I/O形成領域以外にフォトレジスト30を形成し、I/O-Nチャネルトランジスタ形成領域に、LDD(lightly doped drain)構造を形成するためのリンを注入する(図13(c)参照)。

【0047】

次に、I/O形成領域にフォトリソスト31を形成し、I/O形成領域以外のNチャネルトランジスタ形成領域に、 BF_2 及びヒ素を注入してエクステンション(extension)及びポケットを形成する(図13(d)参照)。

【0048】

次に、第1TEOS(tetraethylorthosilicate)酸化膜32、窒化膜及び第2TEOS酸化膜33を成長させる(図14(e)参照)。その後、エッチバックを行って、ゲート電極29a, 29b, 29cの側壁34を形成する(図14(f)参照)。

【0049】

次に、フォトリソストを形成して、全てのPチャネルトランジスタ形成領域へボロン注入、全てのNチャネルトランジスタ形成領域へのSDヒ素注入を行い、SD(source drain)領域を形成する(図15(g)参照)。その後、全面にゲート電極を覆う酸化膜35を成長させて、ランプアニールを行う(図15(h)参照)。

【0050】

次に、コバルトスパッタ、余剰コバルトエッチングを行って、コバルトシリサイド(CoSi_2)を形成する(図16(i)参照)。その後、コンタクトエッチングのためのストッパー窒化膜36及び酸化膜37を成長させる(図17(j)参照)。

【0051】

その後、オゾンTEOS BPSG(boron phospho silicate glass)を約800nmの厚さに成長した後、CMPによる平坦化を行う。これにより、層間絶縁膜38が形成される(図17(k)参照)。

【0052】

このように、MOSデバイスを用いたLSI10は、膜厚が異なる3種類のゲート酸化膜を有するトランジスタを形成し、その中の、最も薄いゲート絶縁膜を有するトランジスタを、電源保護素子として使用する。

【0053】

上記実施の形態においては、ゲート酸化膜の膜厚及び閾電圧 V_t が独立設定さ

れたLcore（膜厚が約2.6nmでVtが約0.47V）と、Mcore（膜厚が約1.9nmでVtが約0.35V）が混載された内部回路11に対し、Mcoreを高Vt化したMpcore（膜厚が約1.9nmでVtがMcoreより高い）を、2種類以上の膜厚の異なるゲート酸化膜を形成するプロセスであるマルチオキサイドプロセス以降の高速・低消費電力LSIに好適な、内部回路11の電源保護回路（素子）として用いている。なお、上述した膜厚形成の順番は、マルチオキサイドプロセスの一例である。

【0054】

従って、電源保護回路としてのMpcoreは、内部回路11（ここでは、LcoreとMcore）に対し、ゲート酸化膜の膜厚が薄く、且つ、Vtが低い方よりも高く設定されていれば良い。

【0055】

上記実施の形態においては、このMpcoreは、閾値調整のためのチャネルドーズ量が「SRAM+Lcore」となるように形成して高Vt化している。つまり、チャネルドーズ量が「SRAMとLcoreの合計」となるようにレイアウトを工夫しておくことで、工程の追加を必要としない。また、このMpcoreは、閾値調整のためのチャネルドーズ量が「Mcore+Lcore」となるように高Vt化しても、工程の追加を必要とせずに、同様の効果が得られる。

【0056】

従って、MOSデバイスを用いたLSI10は、内部回路11の中で膜厚が異なった2種類以上のゲート酸化膜を用いることにより、リーク電流が少なく、リーク電流と耐圧を同時に満足させることができる。その上、工程を追加することなく、低リークの電源保護回路を形成することができる。これは、電源保護トランジスタとして、Lcoreよりもゲート酸化膜の耐圧が低いMcoreを使用しているためであり、また、内部回路11のMcoreよりも、電源保護回路として機能するMpcoreの閾値を高く設定しているためである。

【0057】

なお、上記実施の形態において、回路構成に用いられるトランジスタは、例示した一方の導電型（例えば、Nチャネルトランジスタ）に限るものではなく、他

方の導電型（例えば、Pチャネルトランジスタ）でも良い。

【0058】

【発明の効果】

以上説明したように、この発明によれば、ゲート絶縁膜の膜厚が独立設定されて同一基板上に形成された、同一電源電圧で動作する複数のトランジスタの中の、最も薄いゲート絶縁膜を有するトランジスタを電源保護素子として使用したことを特徴としている。

【0059】

さらに、この電源保護素子のトランジスタの閾値は、最も薄いゲート絶縁膜のトランジスタの閾値より高く設定される。これにより、リーク電流が少なく、リーク電流と耐圧を同時に満足させることができる。

【0060】

また、この発明に係る半導体装置の製造方法により、上記半導体装置を実現することができる。

【図面の簡単な説明】

【図1】

この発明の一実施の形態に係る半導体装置の内部構成を概略的に示す平面図である。

【図2】

図1の内部回路の一部を示す回路説明図である。

【図3】

図1の内部回路、電源保護回路及びI/O部の各機能による比較を表で示す説明図である。

【図4】

図1の半導体装置の製造方法を説明する工程断面図（その1）である。

【図5】

図1の半導体装置の製造方法を説明する工程断面図（その2）である。

【図6】

図1の半導体装置の製造方法を説明する工程断面図（その3）である。

【図 7】

図 1 の半導体装置の製造方法を説明する工程断面図（その 4）である。

【図 8】

図 1 の半導体装置の製造方法を説明する工程断面図（その 5）である。

【図 9】

図 1 の半導体装置の製造方法を説明する工程断面図（その 6）である。

【図 1 0】

図 1 の半導体装置の製造方法を説明する工程断面図（その 7）である。

【図 1 1】

図 1 の半導体装置の製造方法を説明する工程断面図（その 8）である。

【図 1 2】

図 1 の半導体装置の製造方法を説明する工程断面図（その 9）である。

【図 1 3】

図 1 の半導体装置の製造方法を説明する工程断面図（その 1 0）である。

【図 1 4】

図 1 の半導体装置の製造方法を説明する工程断面図（その 1 1）である。

【図 1 5】

図 1 の半導体装置の製造方法を説明する工程断面図（その 1 2）である。

【図 1 6】

図 1 の半導体装置の製造方法を説明する工程断面図（その 1 3）である。

【図 1 7】

図 1 の半導体装置の製造方法を説明する工程断面図（その 1 4）である。

【図 1 8】

従来の L S I 内部回路の一部を示し、（a）は保護回路が L T r に形成された場合の回路説明図、（b）は保護回路が M T r に形成された場合の回路説明図である。

【符号の説明】

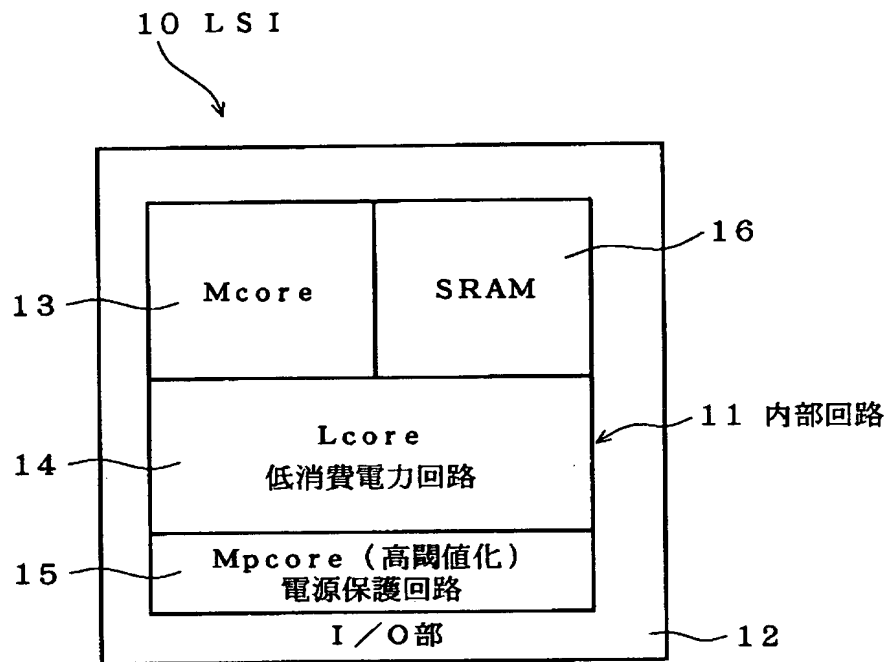
1 0 L S I

1 0 a 基板

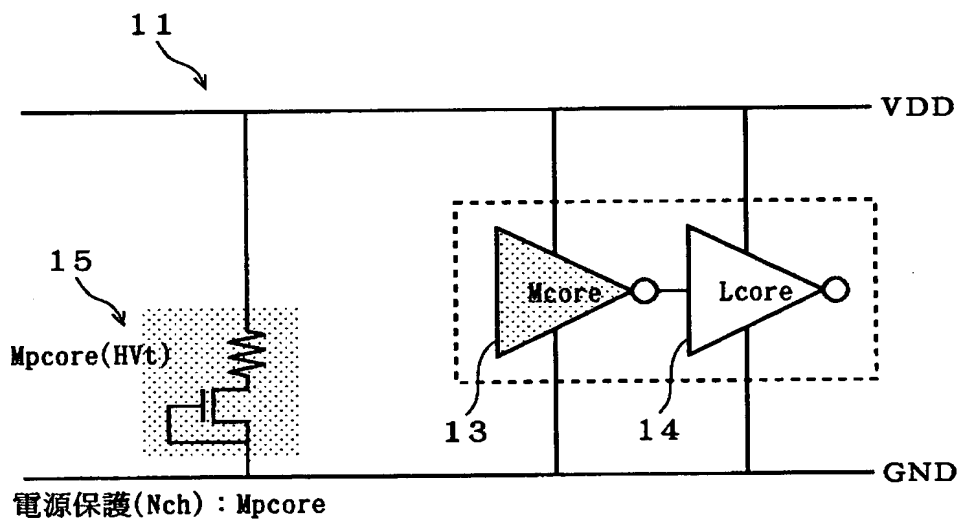
- 11 内部回路
- 12 I/O部
- 13 Mcore
- 14 Lcore
- 15 Mpcore
- 16 SRAM
- 17 素子分離領域
- 18, 19, 20, 21, 22, 23, 25, 28, 30, 31 フォトレジスト
- 22, 24, 26 内部酸化膜
- 27 ゲートポリシリコン
- 29a, 29b, 29c ゲート電極
- 32 第1TEOS酸化膜
- 33 第2TEOS酸化膜
- 34 側壁
- 35, 37 酸化膜
- 36 ストップー窒化膜
- 38 層間絶縁膜

【書類名】 図面

【図 1】



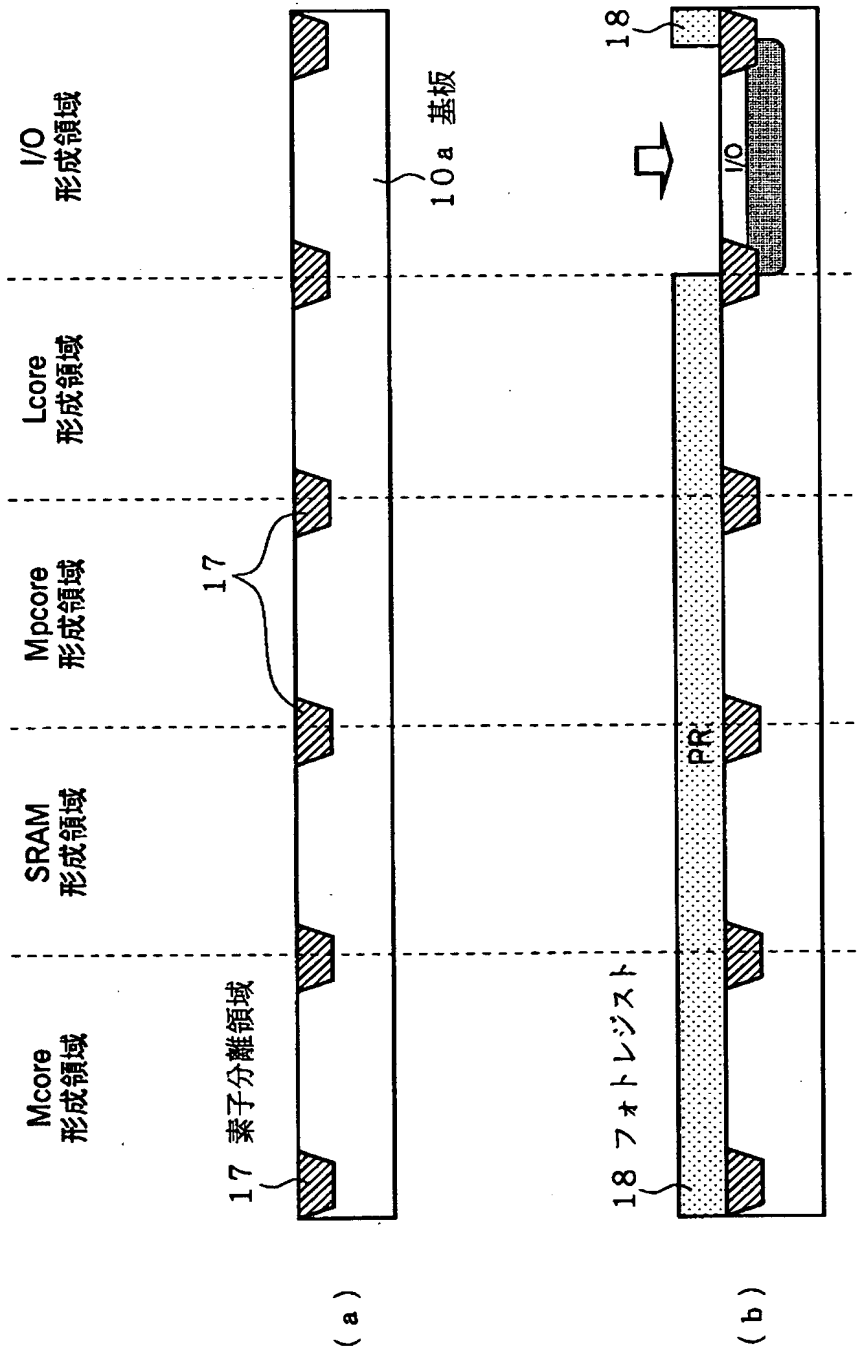
【図 2】



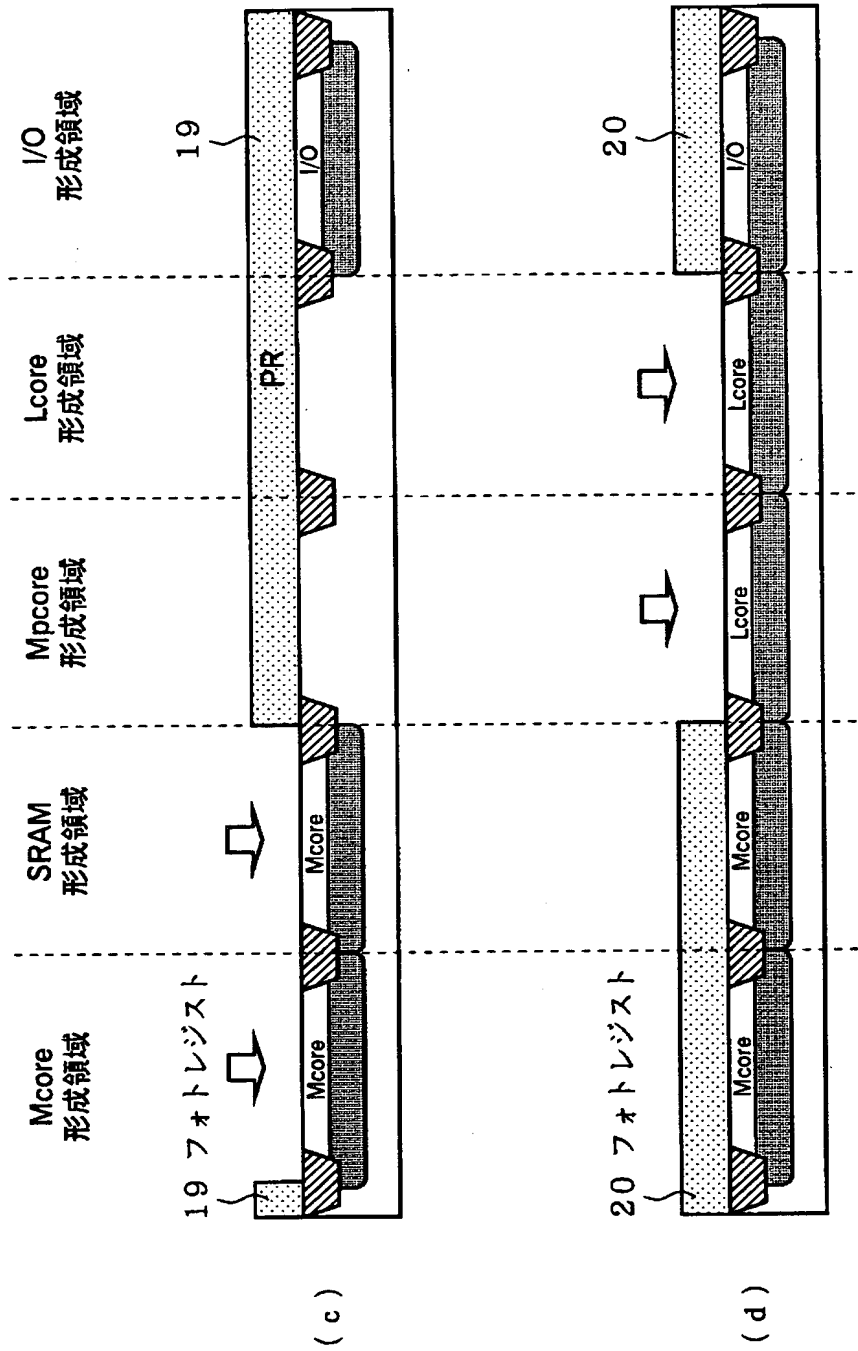
【図 3】

	内部回路		電源保護回路 Mpcore(HVt-M)	I/O部(外部インターフェイス)
	Mcore	Lcore		
ゲート酸化膜厚(nm)	1.9	2.6	1.9	(7.2)
動作電圧(V)	1.2	1.2	1.2	(3.3)
閾値Vt	低	高	Mcoreより高	
リーク(オフ)電流	大	小	Mcoreより小	
スピード	速	遅		
消費電力	大	小		
ゲート酸化膜耐圧	低(約5V)	高(約7V)	Mcoreと同じ	(高,約10V)

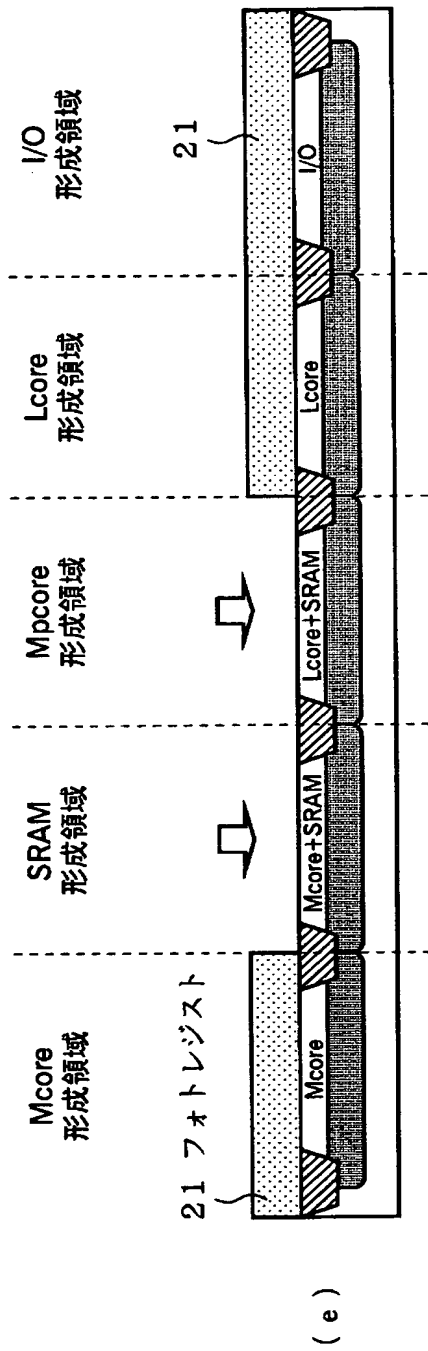
【図 4】



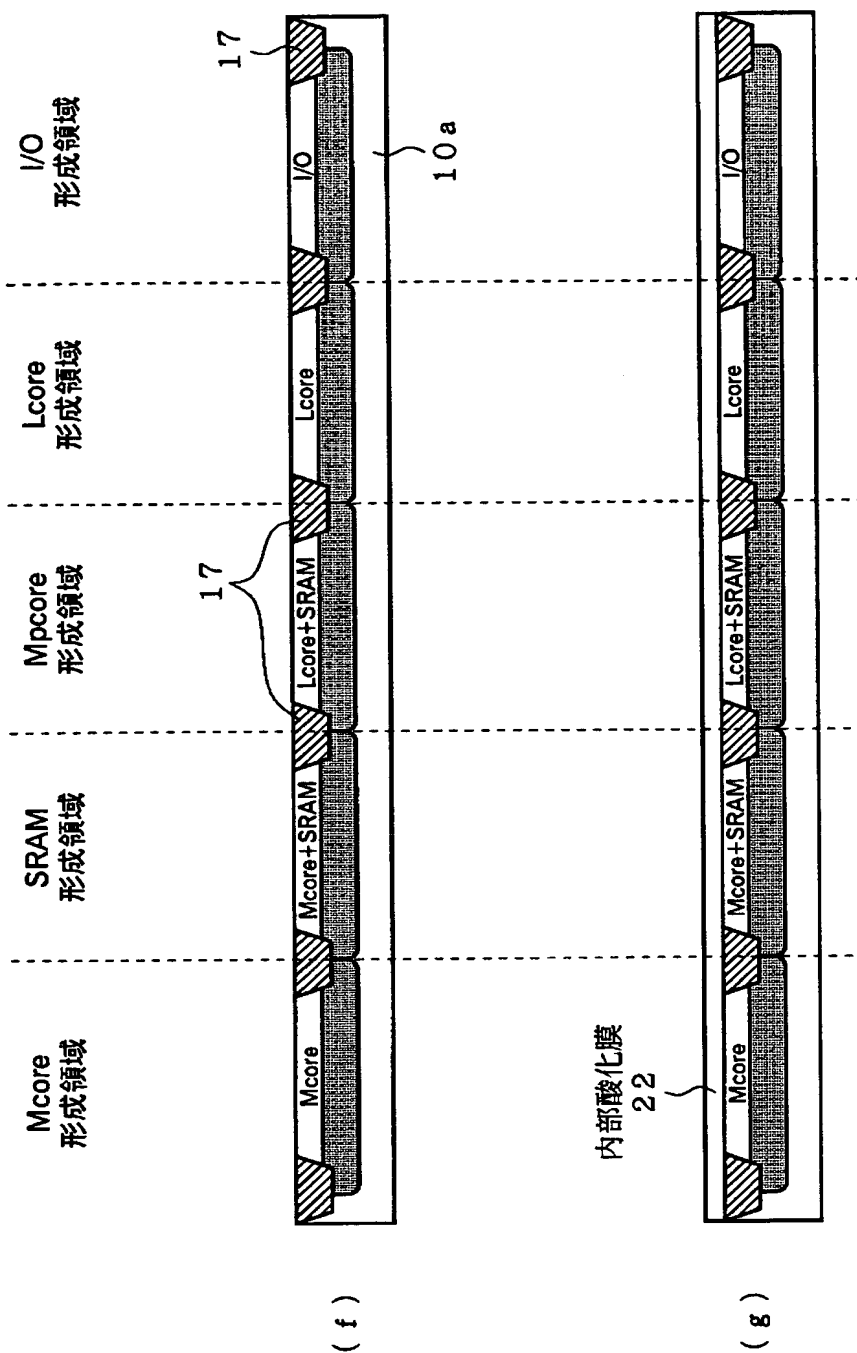
【図5】



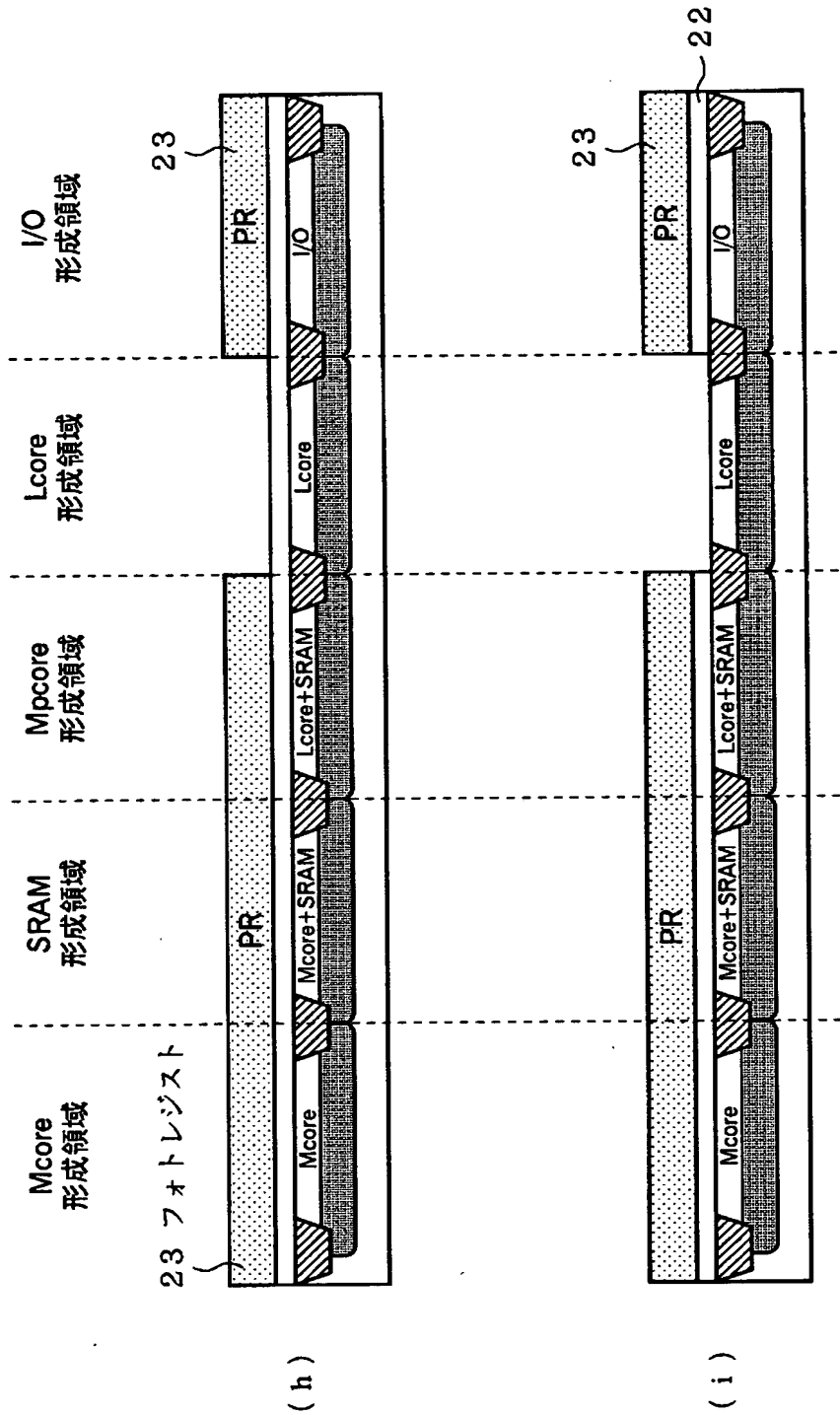
【図 6】



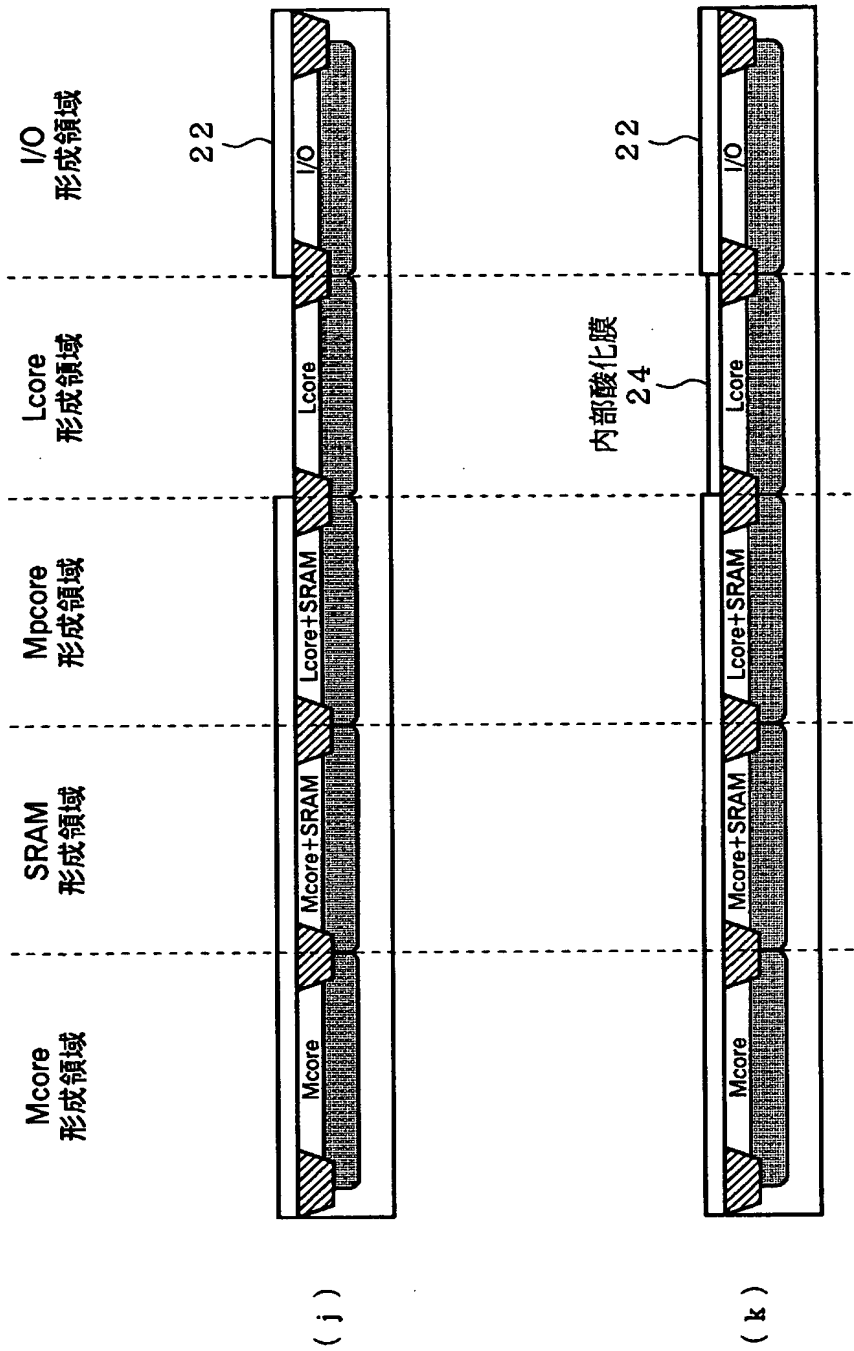
【図 7】



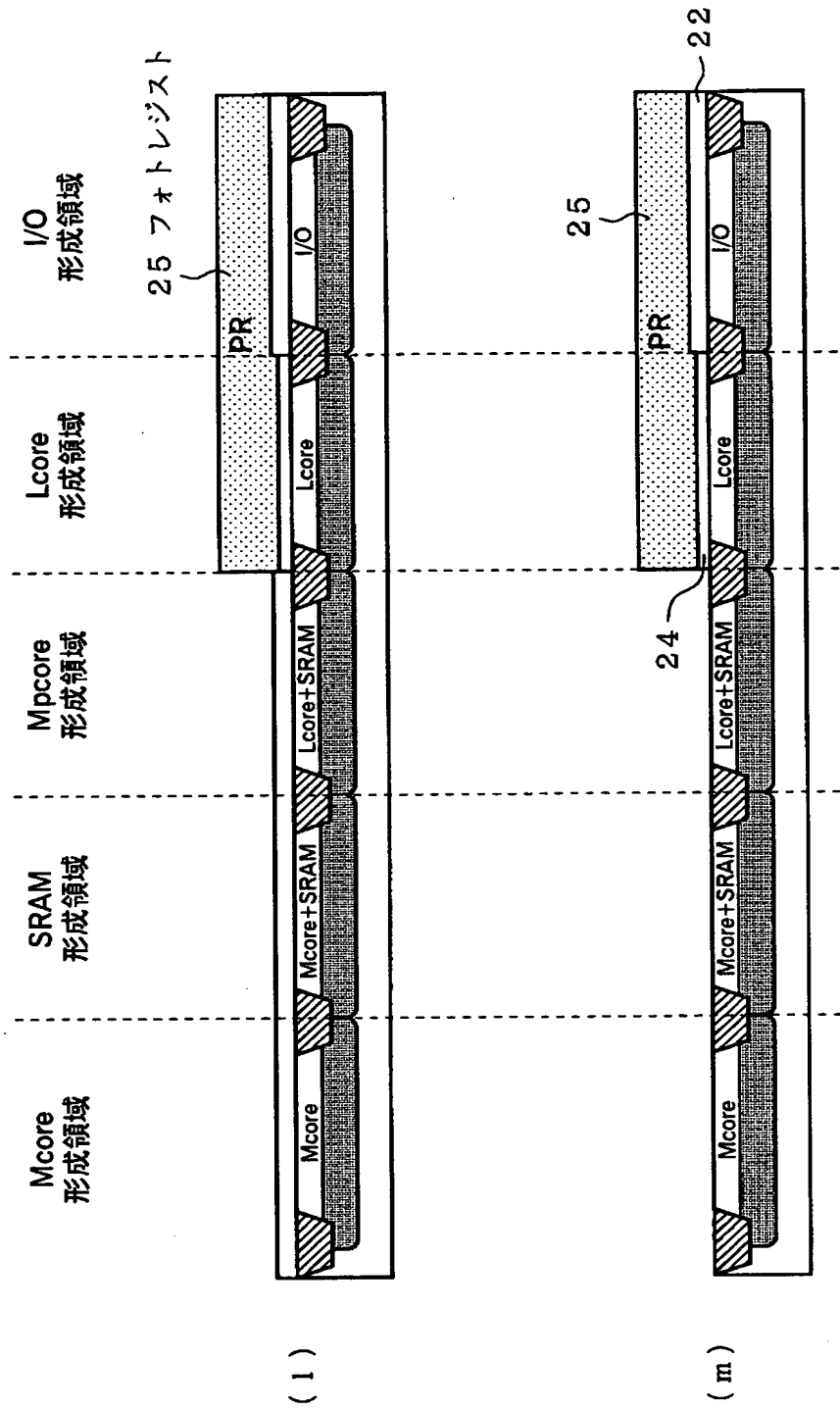
【図 8】



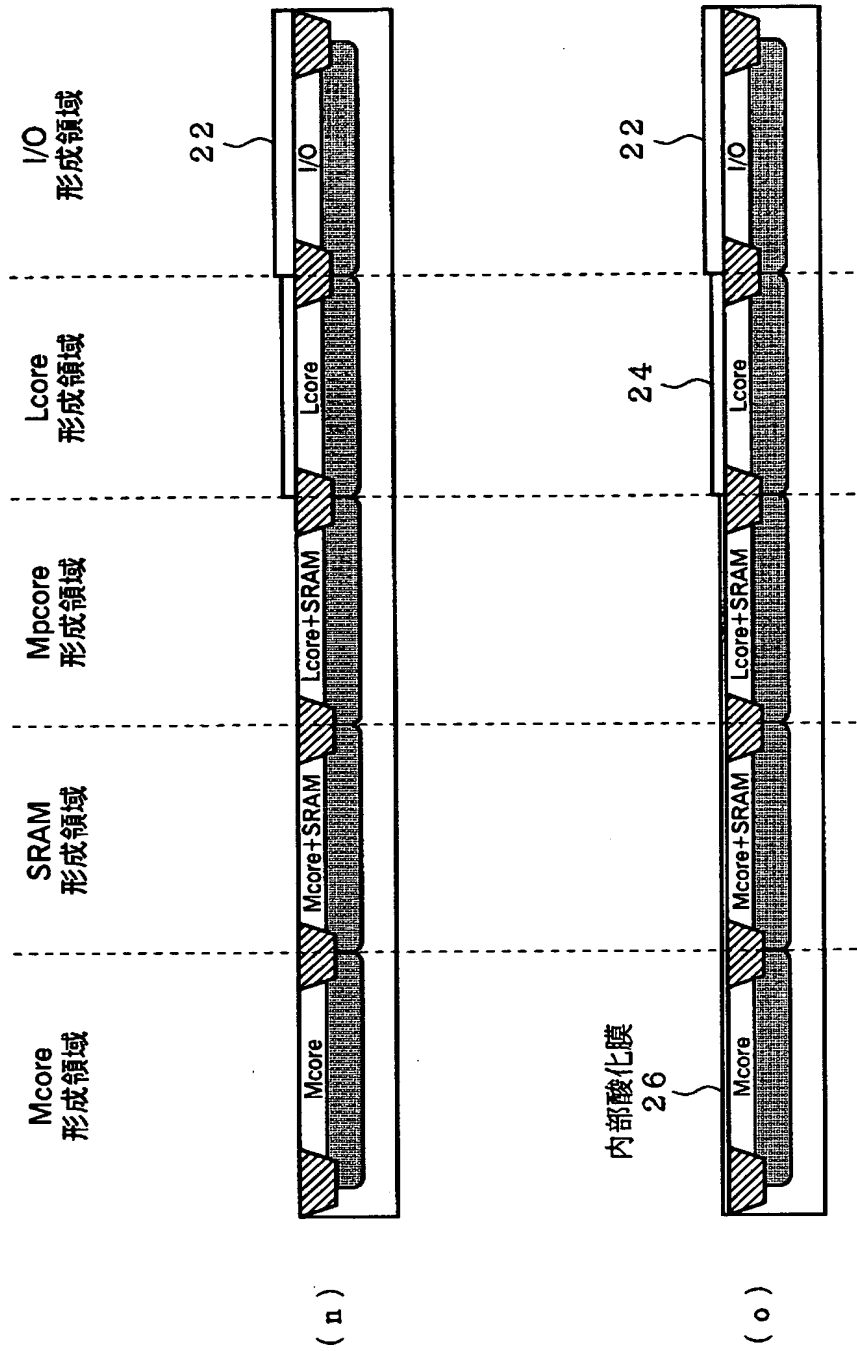
【図 9】



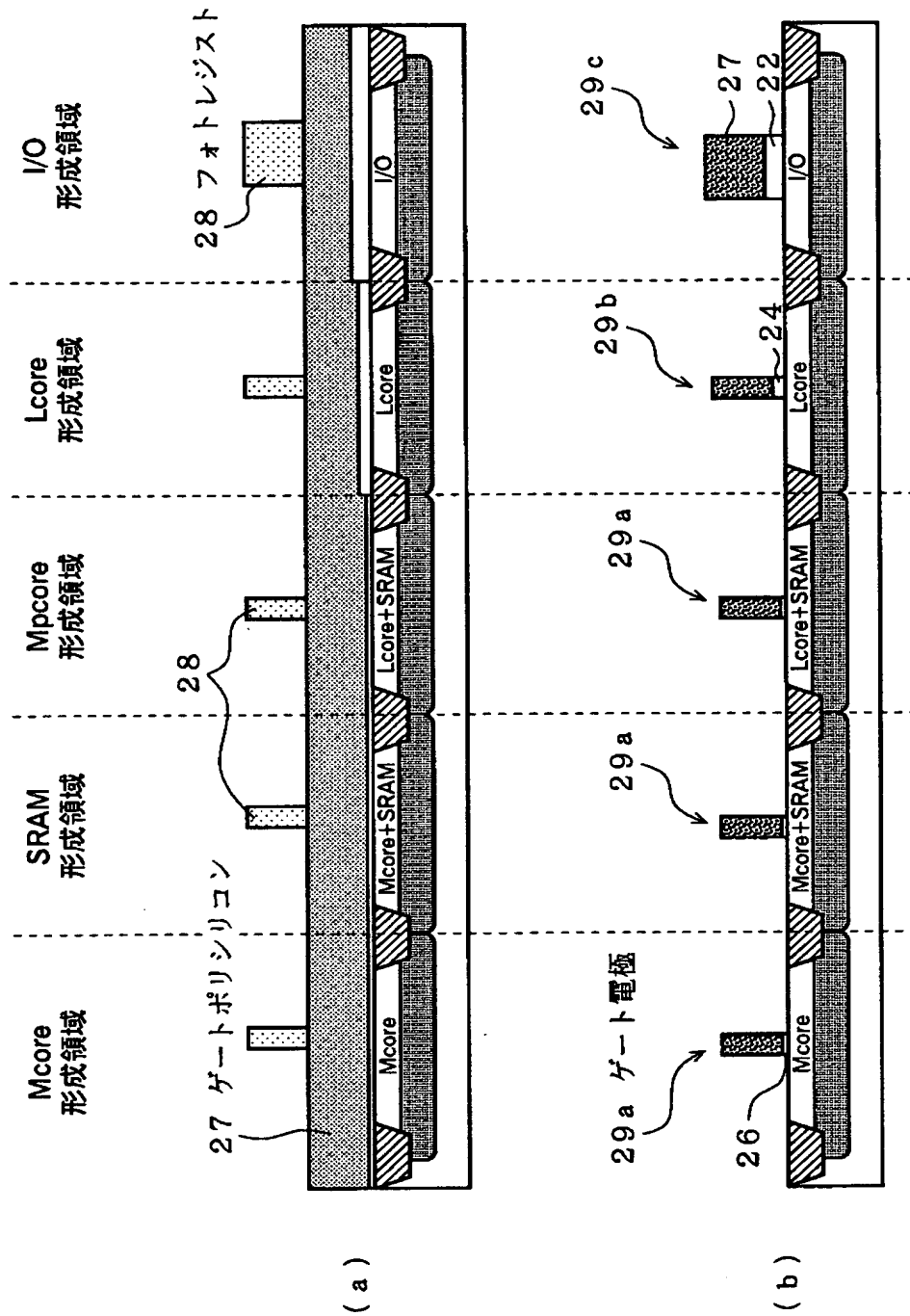
【図10】



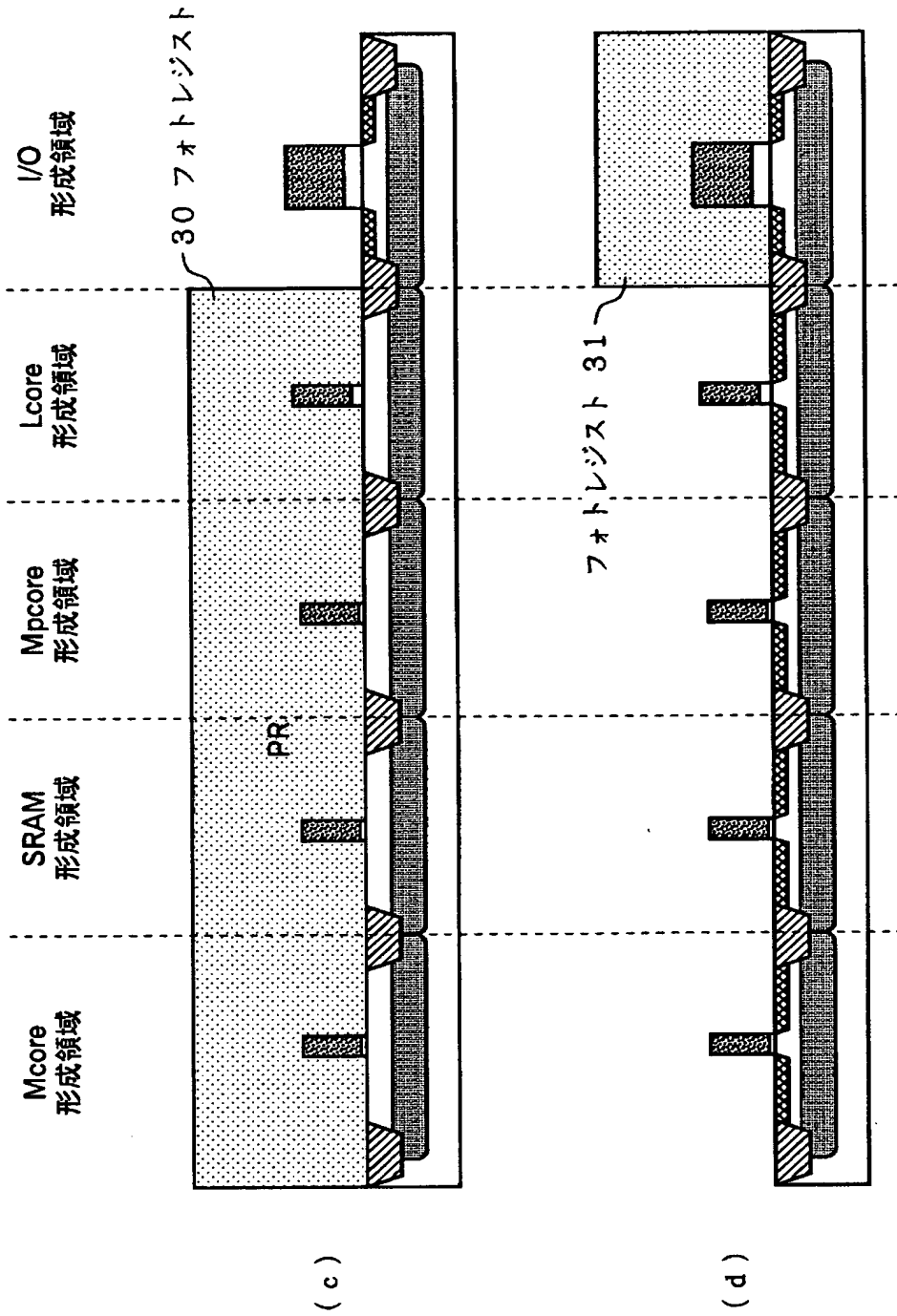
【図11】



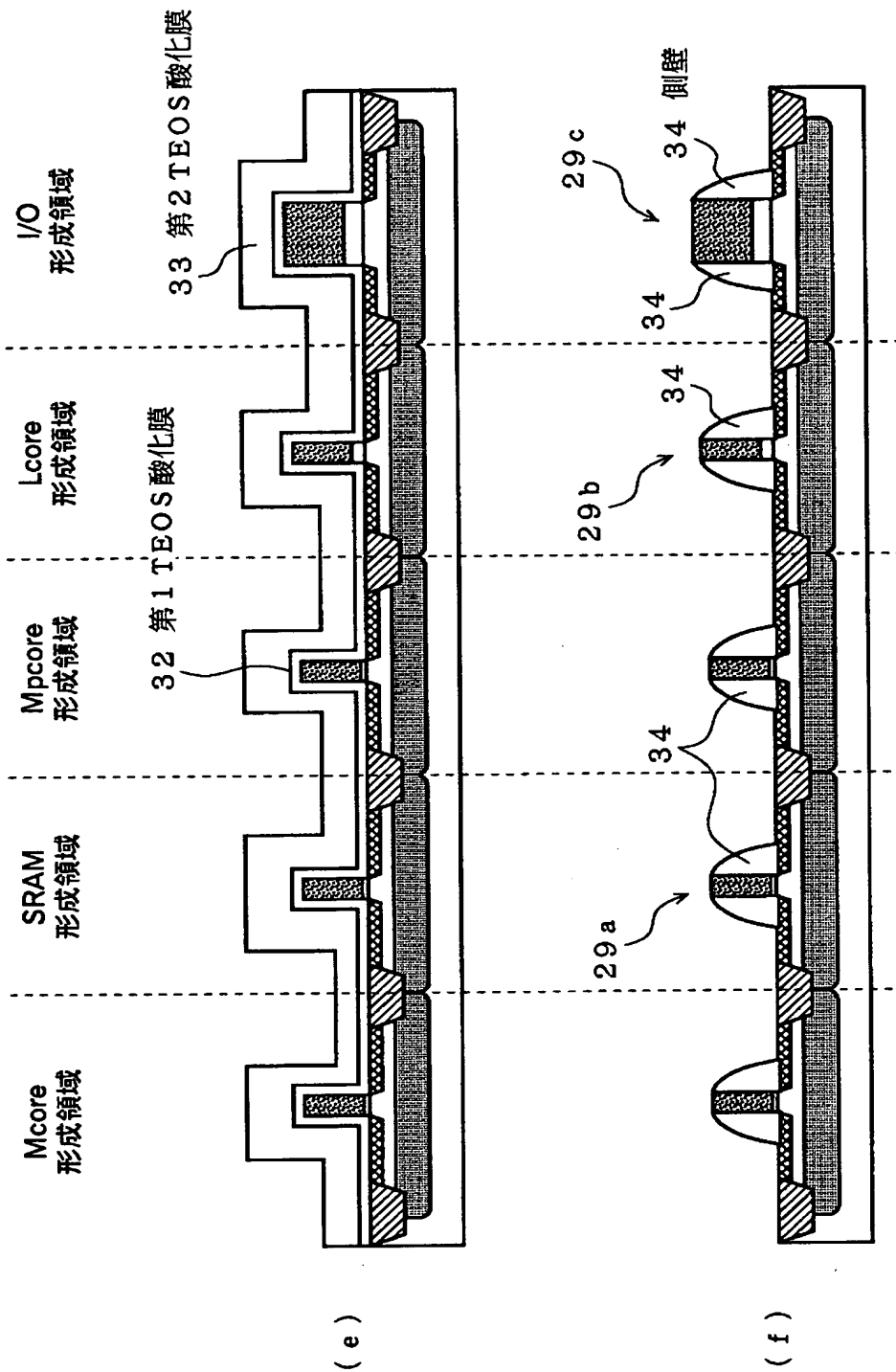
【図 12】



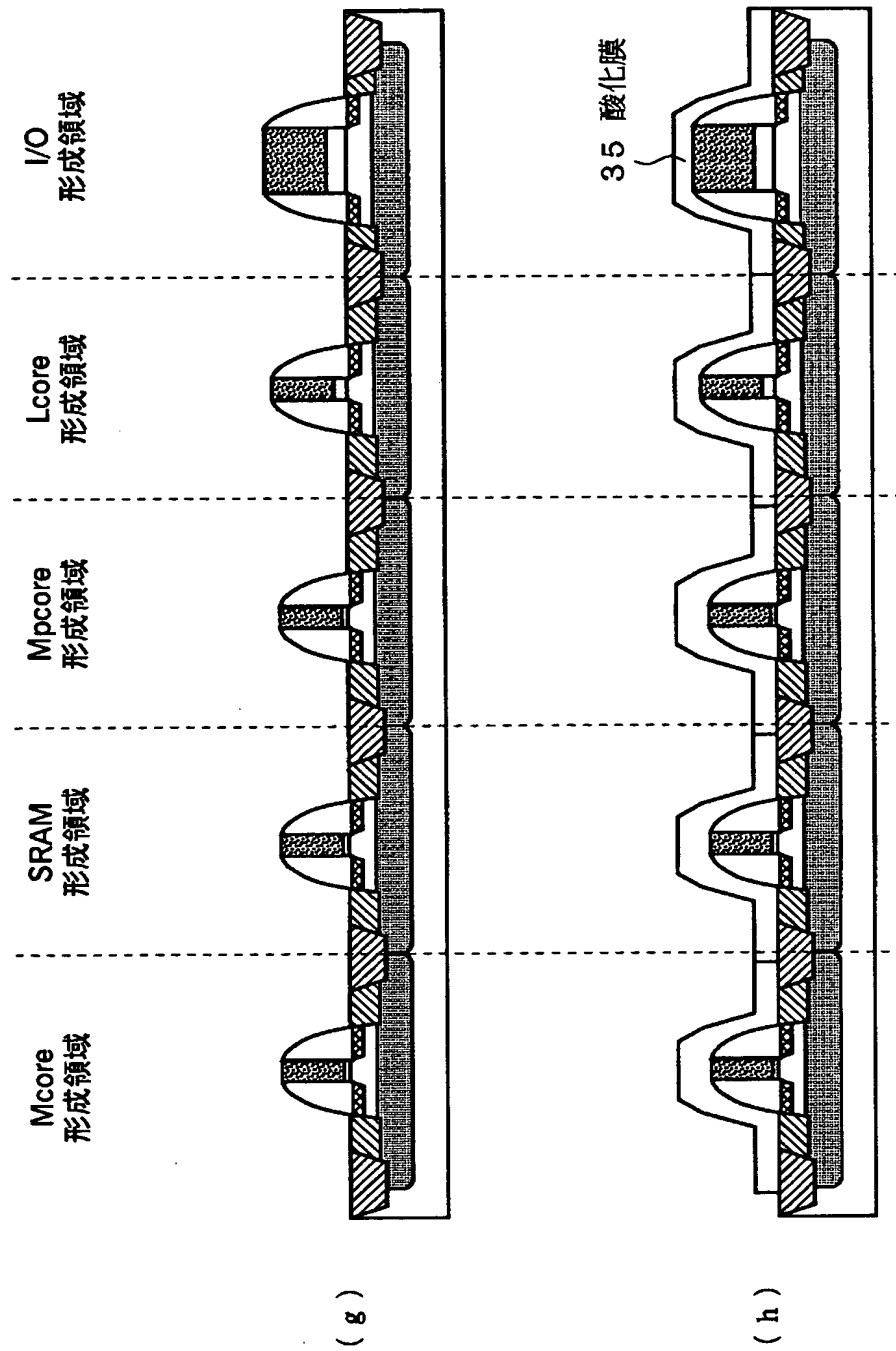
【図 13】



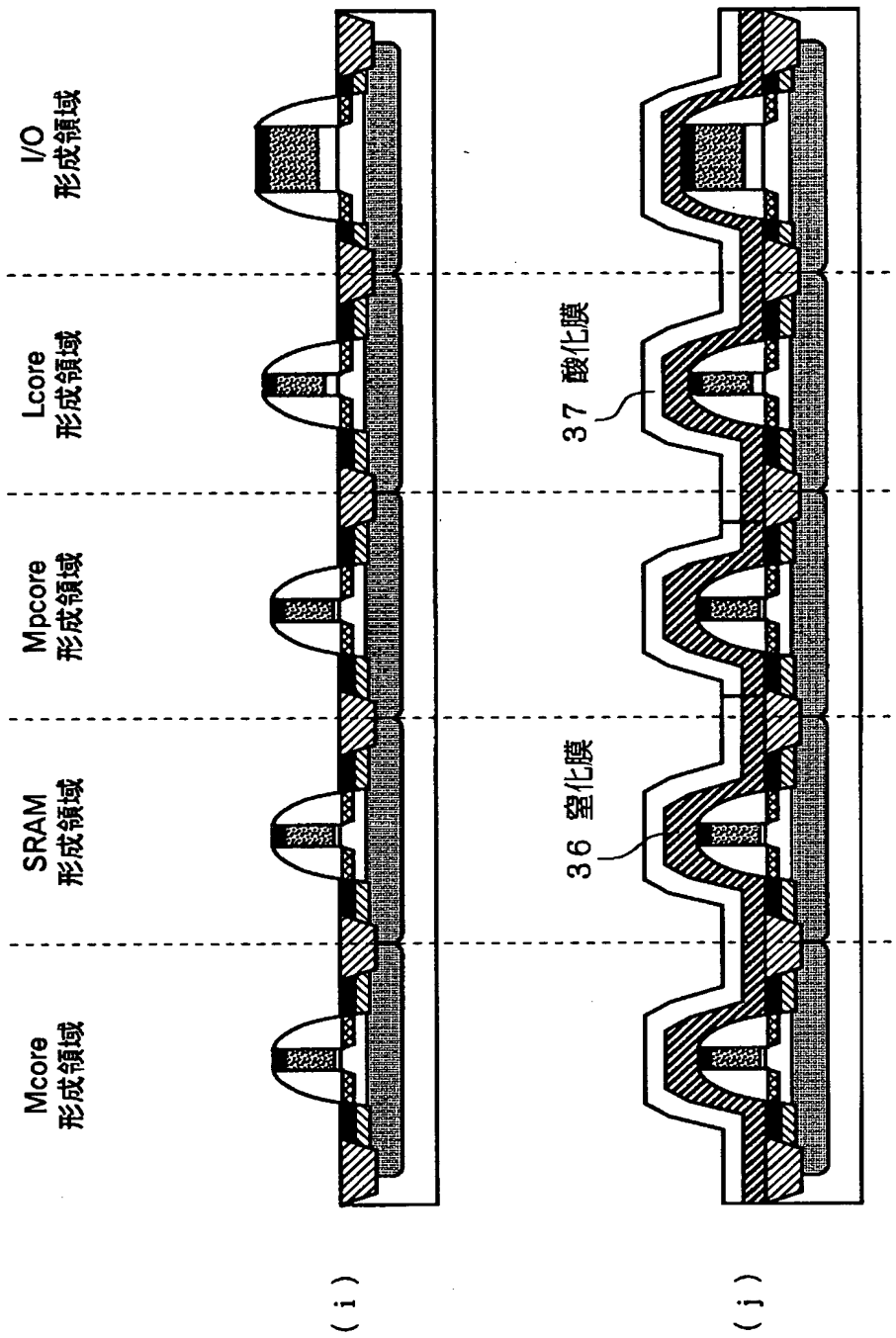
【図 14】



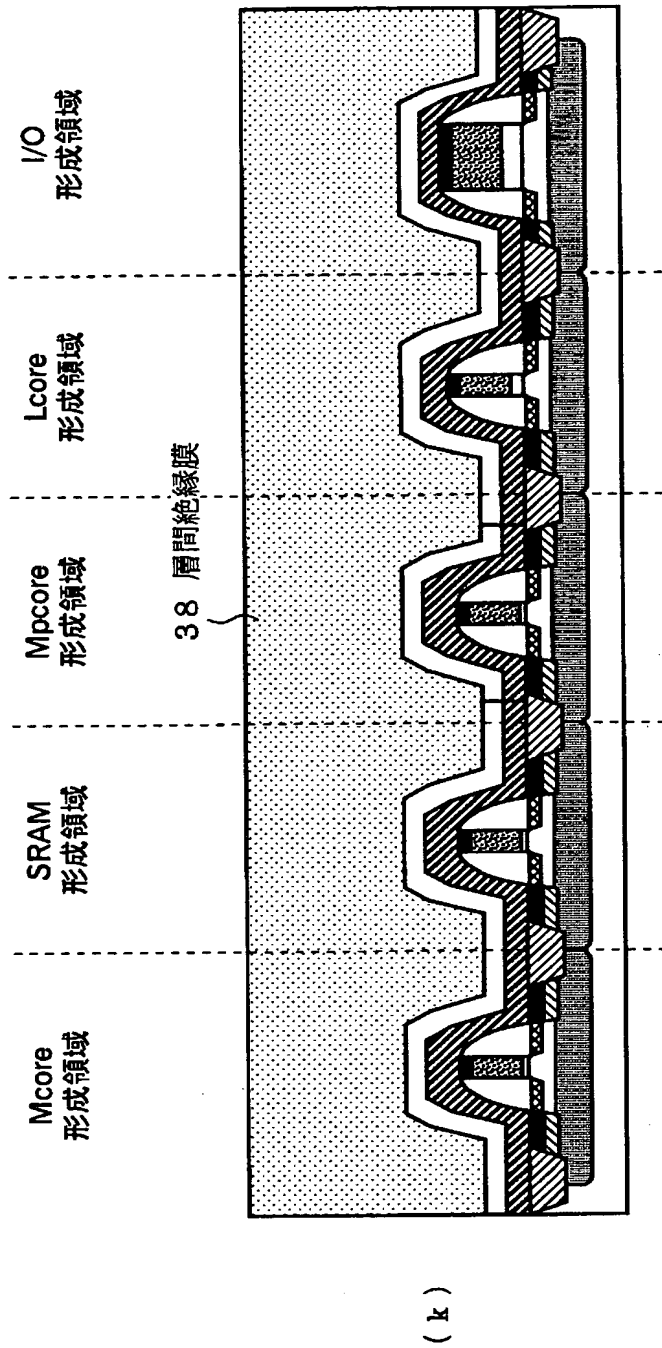
【図 15】



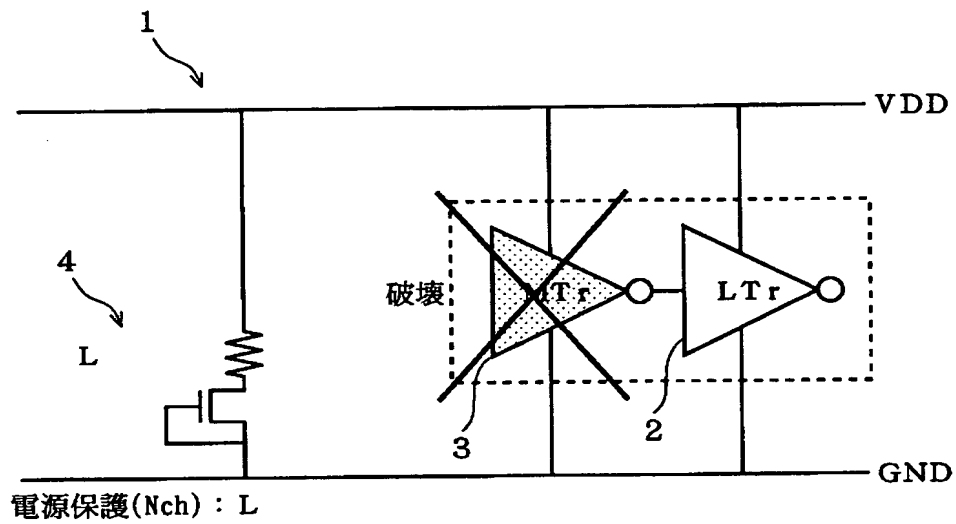
【図 16】



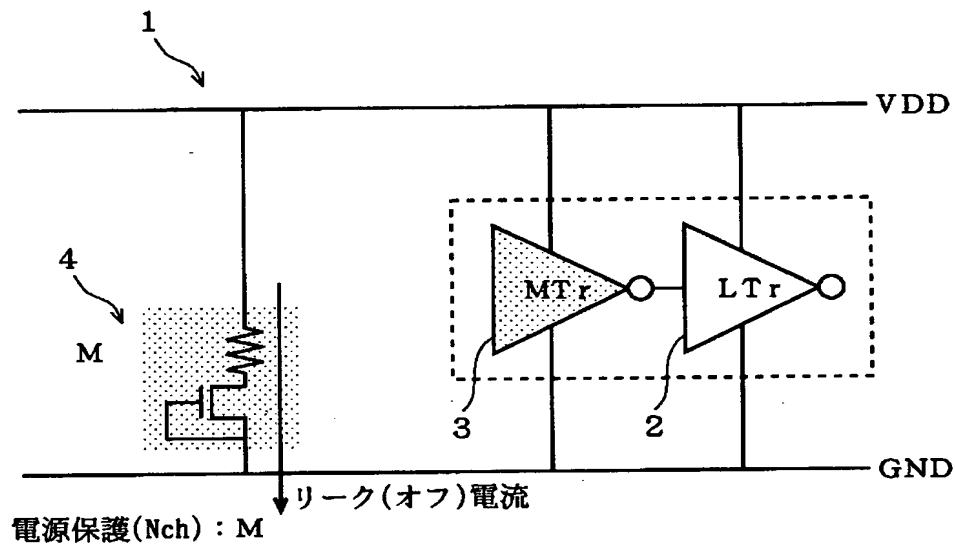
【図 17】



【図18】



(a)



(b)

【書類名】 要約書

【要約】

【課題】 リーク電流が少なく、リーク電流と耐圧を同時に満足させることができる半導体装置およびその製造方法を提供する。

【解決手段】 ゲート絶縁膜の膜厚が独立設定されて同一基板 1 0 a 上に形成された、同一電源電圧で動作する複数のトランジスタの中の、最も薄いゲート絶縁膜を有するトランジスタを電源保護素子として使用する M p c o r e 1 5 を形成した。さらに、この電源保護素子として使用するトランジスタの閾値は、最も薄いゲート絶縁膜を有するトランジスタの閾電圧よりも高く設定されている。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 71110536

【提出日】 平成15年 1月20日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2002-193018

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100086645

 【弁理士】

 【氏名又は名称】 岩佐 義幸

【提出物件の目録】

 【物件名】 承継人であることを証明する登記簿謄本 1

 【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届に添付のものを援用する。

 【物件名】 承継人であることを証明する承継証明書 1

 【援用の表示】 平成15年1月16日提出の平成10年特許願第207
468号の出願人名義変更届に添付のものを援用する。

 【包括委任状番号】 0217051

【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 東京都港区芝五丁目 7 番 1 号

氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社